

Attorney Docket No. 5649-1154

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hyun-Seok Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT MEMORY DEVICES HAVING ZIG-ZAG ARRANGEMENTS
OF COLUMN SELECT IO BLOCKS TO INCREASE INPUT/OUTPUT LINE ROUTING
EFFICIENCY

Date: February 9, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

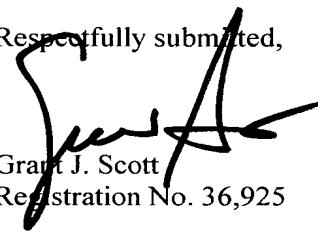
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following
Korean priority application:

10-2003-0039226, filed June 17, 2003.

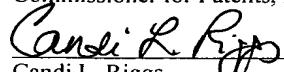
Respectfully submitted,


Grant J. Scott
Registration No. 36,925

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381445819 US
Date of Deposit: February 9, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Candi L. Riggs

Date of Signature: February 9, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0039226
Application Number

출 원 년 월 일 : 2003년 06월 17일
Date of Application JUN 17, 2003

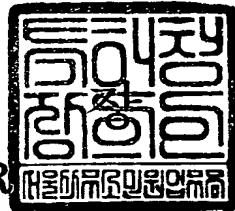
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.17
【발명의 명칭】	칩 면적의 증가없이 입출력 라인들의 수를 증가시킬 수 있는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE CAPABLE OF INCREASING INPUT/OUTPUT LINE NUMBER WITHOUT INCREASE IN CHIP AREA
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이현석
【성명의 영문표기】	LEE, HYUN-SEOK
【주민등록번호】	710225-1470635
【우편번호】	138-222
【주소】	서울특별시 송파구 잠실2동 주공아파트 잠실주공아파트 201동 510호
【국적】	KR
【발명자】	
【성명의 국문표기】	김경호
【성명의 영문표기】	KIM, KYUNG-HO
【주민등록번호】	640712-1333318

【우편번호】	441-460		
【주소】	경기도 수원시 권선구 금곡동 530 LG빌리지 210동 702호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김현수		
【성명의 영문표기】	KIM, HYUN-SU		
【주민등록번호】	650920-1094613		
【우편번호】	442-470		
【주소】	경기도 수원시 팔달구 영통동 948-4번지 주공아파트 103동 1302호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	11	면	11,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	17	항	653,000 원
【합계】	693,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

여기에서 개시되는 반도체 메모리 장치는 메모리 블록들 중 인접한 메모리 블록들 사이에 배열되며, 각각이 열 게이트 영역과 제 1 및 제 2 감지 증폭 영역들을 갖는 복수 개의 감지 증폭 블록들을 포함한다. 감지 증폭 블록들의 열 게이트 영역들과 제 1 및 제 2 감지 증폭 영역들은 행들과 열들의 매트릭스 형태로 배열된다. 상기 감지 증폭 블록들의 열 게이트 영역들은 적어도 2열로 배열된다. 행 (또는 워드 라인) 방향으로 배열된 인접한 열 게이트 영역들 사이에는 제 1 및 제 2 감지 증폭 영역들 중 어느 하나가 배열된다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

칩 면적의 증가없이 입출력 라인들의 수를 증가시킬 수 있는 반도체 메모리 장치
{SEMICONDUCTOR MEMORY DEVICE CAPABLE OF INCREASING INPUT/OUTPUT LINE NUMBER WITHOUT
INCREASE IN CHIP AREA}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 메모리 장치의 구조를 보여주는 블록도;
도 2는 도 1에 도시된 임의의 뱅크의 어레이 구조를 보여주는 블록도;
도 3은 본 발명의 일 실시예에 따른 도 2에서 점선으로 표시된 부분 (A)을 보여주는 블록도;
도 4는 도 3에 도시된 열 게이트 영역의 일부를 보여주는 블록도;
도 5는 도 4에 도시된 열 게이트 영역의 레이아웃 패턴을 보여주는 평면도;
도 6은 본 발명의 다른 실시예에 따른 도 2에서 점선으로 표시된 부분 (A)을 보여주는 블록도;
도 7은 도 6에 도시된 열 게이트 영역의 일부를 보여주는 블록도;
도 8은 도 7에 도시된 열 게이트 영역의 레이아웃 패턴을 보여주는 평면도;
도 9 및 도 10은 본 발명의 또 다른 실시예에 따른 도 2에서 점선으로 표시된 부분 (A)
을 보여주는 블록도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 디램 장치의 감지 증폭 블록들의 레이 아웃 구조에 관한 것이다.

<11> 중앙 처리 장치 (central processing unit: CPU)의 동작 속도 향상의 모든 이점을 얻기 위해서는, CPU의 데이터 및 프로그램과 같은 정보를 저장하는 메모리 장치의 성능이 대응하게 향상되어야 할 것이다. 하지만, CPU의 동작 속도가 현저하게 향상됨에 따라 CPU는 통상적인 DRAM보다 성능이 뛰어나고 DRAM의 동작 속도는 CPU의 동작 속도보다 더 느린다. 복수의 뱅크들을 포함하고 시스템 클록 신호에 동기되어 동작하는 멀티-뱅크 DRAM은 더 높은 성능을 제공하고 그러한 문제를 극복하도록 개발되어 오고 있다.

<12> 게다가, 최근의 멀티미디어 응용의 개발은 큰 밴드폭 (large bandwidths)을 갖는 즉, 시간당 많은 양의 입출력 데이터를 전송하는 능력을 갖는 반도체 메모리 장치들을 더욱 더 요구하고 있다. 따라서, 16, 32, 64, 또는 더 많은 병렬 비트들의 큰 밴드폭을 갖는 반도체 메모리 장치들은 데이터를 전송하기 위한 많은 데이터 라인들을 요구한다. 특히, 클록 사이클 당 데이터 양을 두배로 출력하는 더블 데이터 레이트 (double data rate: DDR) DRAM은 2배의 데이터 라인들을 요구한다. 데이터 라인들의 수가 증가함에 따라 DRAM 칩의 면적은 그에 비례하여 증가된다. 칩 면적의 증가로 인해서 제조 비용이 증가하기 때문에, 반도체 메모리 장치의 칩 면적을 줄이기 위해서 효율적인 데이터 라인 사용 및 레이아웃이 고려되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 칩 면적의 증가없이 입출력 라인들의 수를 증가시킬 수 있는 반도체 메모리 장치에 관한 것이다.

【발명의 구성 및 작용】

<14> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 메모리 블록들과; 그리고 상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 감지 증폭 영역을 갖는 감지 증폭 블록들을 포함하며, 상기 감지 증폭 블록들의 열 게이트 영역들은 적어도 2개의 행들로 배열되며; 상기 각 행의 열 게이트 영역들 사이에는 상기 감지 증폭 영역들이 각각 배열된다.

<15> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록은 한 쌍의 비트 라인들에 연결된다.

<16> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록은 2 쌍의 비트 라인들에 연결된다.

<17> 바람직한 실시예에 있어서, 상기 감지 증폭 영역에는 N-래치 감지 증폭기와 P-래치 감지 증폭기 중 어느 하나를 포함한다.

<18> 바람직한 실시예에 있어서, 상기 감지 증폭 블록들의 열 게이트 영역들은 톱니 모양을 갖도록 2개의 행들로 배열된다.

<19> 본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 복수 개의 입출력 라인 쌍들과; 그리고 각각이 열 게이트 영역, 제 1 및 제 2 감지 증폭 영역들 그리고 비트 라인 등화 및 절연 영역을 갖는 복수 개의 감지 증폭 블록들을 포함하며, 상기 각 감지 증폭 블록들의 열 게이트 영역들은 톱니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 입출력 라인 쌍들 중 절반은 상기 행들 중 하나를 따라 배열되고 나머지는 다른 행을 따라 배열된다.

<20> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록에 있어서, 상기 열 게이트 영역, 상기 제 1 및 제 2 감지 증폭 영역들 그리고 상기 비트 라인 등화 및 절연 영역 중 하나는 각 행에 속하는 인접한 열 게이트 영역들 사이에 배치된다.

<21> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 제 1 감지 증폭 영역들이 각각 배치된다.

<22> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 제 2 감지 증폭 영역들이 각각 배치된다.

<23> 바람직한 실시예에 있어서, 상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 비트 라인 등화 및 절연 영역이 각각 배치된다.

<24> 바람직한 실시예에 있어서, 상기 복수 개의 감지 증폭 블록들은 메모리 셀 어레이의 메모리 블록들 중 인접한 메모리 블록들 사이에 배치된다.

<25> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 메모리 블록들과; 그리고 상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 N-래치 감지 증폭 영역을 갖는 감지 증폭 블록들을 포함하며, 상기 감지 증폭 블록들의 열 게이트 영역들은 톱니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 각 행의 열 게이트 영역들 사이에는 상기 N-래치 감지 증폭 영역들이 각각 배열된다.

<26> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 메모리 블록들과; 그리고 상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 P-래치 감지 증폭 영역을 갖는 감지 증폭 블록들을 포함하며, 상기 감지 증폭 블록들의 열 게이트 영역들은 톱니 모양을 갖도록 적

어도 2개의 행들로 배열되며; 상기 각 행의 열 게이트 영역들 사이에는 상기 P-래치 감지 증폭 영역들이 각각 배열된다.

<27> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 메모리 블록들과; 그리고 각각 이 열 게이트 영역과 N-래치 및 P-래치 감지 증폭 영역들을 갖는 복수 개의 감지 증폭 블록들을 포함하며, 상기 각 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 열 게이트 영역들과 상기 N-래치 감지 증폭 영역들은 각 행 방향으로 번갈아 배치된다.

<28> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 복수 개의 입출력 라인 쌍들과; 그리고 각각이 열 게이트 영역과 N-래치 및 P-래치 감지 증폭 영역들을 갖는 복수 개의 감지 증폭 블록들을 포함하며, 상기 각 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 열 게이트 영역들과 상기 N-래치 또는 P-래치 감지 증폭 영역들은 각 행 방향으로 번갈아 그리고 쌍으로 배치되며; 그리고 상기 입출력 라인 쌍들 중 절반은 상기 행들 중 하나를 따라 배열되고 나머지는 다른 행을 따라 배열된다.

<29> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 제 1 및 제 2 메모리 블록들과; 그리고 상기 제 1 및 제 2 메모리 블록들 사이에 배열되며, 각각이 제 1 및 제 2 비트 라인 프리챠지 및 등화 영역들, 열 게이트 영역, N-래치 감지 증폭 영역 그리고 P-래치 감지 증폭 영역을 갖는 복수 개의 감지 증폭 영역들을 포함하며, 상기 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되고; 상기 각 행의 열 게이트 영역들 사이에는 상기 N-래치 감지 증폭 영역들이 각각 배열되고; 상기 제 1 비트 라인 프리챠지 및 등화 영역들은 상기 제 1 메모리 블록의 일측에 인접하여 배열되고; 상기 제 2 비트 라인 프리챠지 및 등화 영역들은 상기 제 2 메모리 블록의 일측에 인접하여 배열되고; 그리고 상기 P-래치

감지 증폭 영역들은 상기 행들 중 하나에 속하는 열 게이트 및 N-래치 감지 증폭 영역들과 상기 제 1/2 비트 라인 프리챠지 및 등화 영역들 사이에 배열된다.

<30> 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

<31> 본 발명은 반도체 메모리 장치, 예를 들면, DRAM 장치의 제한된 감지 증폭 영역 내에 칩 면적의 증가없이 2배의 입출력 라인들을 배치할 수 있는 레이아웃 구조를 제공한다. DRAM 장치는, 잘 알려진 바와 같이, 한 쌍의 비트 라인들에 대해서 비트 라인 등화 및 절연 회로들, P-래치 감지 증폭기, N-래치 감지 증폭기 그리고 열 게이트 회로로 각각 구성되는 복수 개의 감지 증폭 블록들을 포함한다. 감지 증폭 블록들은 인접한 메모리 블록들 사이에 배치된다. 입출력 라인들은 감지 증폭 블록들의 열 게이트 회로들에 선택적으로 연결되도록 배치된다.

<32> 예시적인 감지 증폭 블록 및 입출력 라인 구조가 U.S. Patent No 5,485,426에 "SEMICONDUCTOR MEMORY DEVICE HAVING A STRUCTURE FOR DRIVING INPUT/OUTPUT LINES AT A HIGH SPEED"라는 제목으로, U.S. Patent No 5,949,697에 "SEMICONDUCTOR MEMORY DEVICE HAVING HIERARCHICAL INPUT/OUTPUT LINE STRUCTURE AND METHOD FOR ARRANGING THE SAME"라는 제목으로, U.S. Patent No. 6,046,950에 "SENSE AMPLIFIER BLOCK LAYOUT FOR USE IN A DYNAMIC RANDOM ACCESS MEMORY"라는 제목으로, U.S. Patent No. 6,327,214에 "MULTI-BANK MEMORY DEVICE HAVING INPUT AND OUTPUT AMPLIFIER SHARED BY ADJACENT MEMORY BANKS"라는 제목으로, U.S. Patent No. 6,345,011에 "INPUT/OUTPUT LINE STRUCTURE OF A SEMICONDUCTOR MEMORY DEVICE"라는 제목으로, U.S. Patent No. 6,396,756에 "INTEGRATED CIRCUIT MEMORY DEVICES INCLUDING TRANSMISSION PARTS THAT ARE ADJACENT INPUT/OUTPUT SELECTION PARTS"라는 제목으로 각각 게재되어 있으며, 레퍼런스로 포함된다.

<33> 본 발명에 따른 반도체 메모리 장치의 구조가 도 1에 도시되어 있다. 반도체 메모리 장치는 메모리 뱅크들의 어레이와 주변 회로를 포함한다. 반도체 칩 (1) 상에 형성된 반도체 메모리 장치가 128Mb의 저장 용량을 갖는다고 가정하면, 4개의 뱅크들 (BANK1-BANK4)은 각각 32Mb의 저장 용량을 갖는다. 칩 (1)의 중앙에 메모리 뱅크들 사이에 위치한 주변 회로는, 비록 도면에 도시되지 않았지만, 디코더 회로, 버퍼 회로 그리고 데이터 입출력 회로를 포함한다.

<34> 32Mb 메모리 뱅크에 있어서, 도 2에 도시된 바와 같이, 행 디코더 (20)와 열 디코더 (30)가 메모리 뱅크의 일면들 (예를 들면, 하측 및 우측)에 각각 배치되어 있다. 8K ($K=1024$) 개의 워드 라인들 (WL)과 4K개의 비트 라인 (BL) 쌍들이 매트릭스 형태로 배열된다. 메모리 뱅크 내의 32Mb 메모리 어레이는 행 방향을 따라, 예를 들면, 16개의 메모리 블록들 (40) (도면에는 "MB0"~"MB15"로 표기됨)로 분할된다. 메모리 블록들 각각은 2Mb (512개의 워드 라인들고 4K개의 비트 라인들)의 저장 용량을 갖는다. 열 디코더 (30)로부터 연장되는 1K개의 열 선택 라인들 (CSL0-CSL1023)이 메모리 어레이에 배열되어 있다.

<35> 임의의 사이클 동안, 2개의 워드 라인들이 활성화된다. 예를 들면, 행 디코더 (20)는 메모리 블록들 (MB0-MB7) 중 하나의 메모리 블록 (예를 들면, MB1)과 메모리 블록들 (MB8-MB15) 중 하나의 메모리 블록 (예를 들면, MB9)을 선택하고, 그 다음에 선택된 메모리 블록들 (MB1, MB9) 각각에서 하나의 워드 라인을 선택한다. 즉, 하나의 메모리 뱅크가 선택될 때 2개의 워드 라인들 (WL)이 선택되고, 선택된 메모리 뱅크 내의 다른 메모리 블록들은 선택되지 않는다.

<36> 도 3은 도 2에서 점선으로 표시된 부분 (A)을 보여주는 블록도이다. 도 3을 참조하면, 인접한 메모리 블록들 사이에는 감지 증폭 영역이 레이아웃된다. 예를 들면, 감지 증폭 영역들 (SAR0, SAR1)이 메모리 블록들 (MB0, MB1) 사이에 그리고 메모리 블록들 (MB1, MB2) 사이에 각각 개재된다. 감지 증폭 영역들 (SAR0, SAR1) 각각에는 복수 개의 감지 증폭 블록들 (SABLK)이

배열된다. 각 감지 증폭 블록 (SABLK)은 제 1 및 제 2 비트 라인 등화 및 절연 영역들 (first and second bit line equalization and isolation region) (110, 120), P-래치 감지 증폭기 영역 (P-latch sense amplifier region) (130), N-래치 감지 증폭기 영역 (N-latch sense amplifier region) (140), 그리고 열 게이트 영역 (column gate region) (150) (또는 "입출력 게이트 영역"이라 불림)을 포함한다. 제 1 및 제 2 비트 라인 등화 및 절연 영역들 (110, 120), P-래치 감지 증폭기 영역 (130) 그리고 N-래치 감지 증폭기 영역 (140)의 상세 회로들이 앞서 언급된 '950 특허에 도시되어 있다. 각 감지 증폭 블록 (SABLK)의 구성 요소들이 앞서 설명된 것에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<37> 계속해서 도 3을 참조하면, 감지 증폭 블록들 (SABLK) 내의 열 게이트 영역들 (150)은 톱니 모양 (sawtooth shape)을 갖도록 2개의 행들 (또는 2열(two rows))로 배열되어 있다. 즉, 감지 증폭 영역 (SAR0) 내의 열 게이트 영역들 (150)은 지그재그 (zigzag)로 배열되어 있다. 각 행의 인접한 열 게이트 영역들 (150) 사이에는 N-래치 감지 증폭 영역들 (140)이 각각 배치되어 있다. 다시 말해서, 열 게이트 영역들 (150) 및 N-래치 감지 증폭 영역들 (140)이 행 방향을 따라 번갈아 배치되어 있다. 감지 증폭 영역들 (SAR0, SAR1) 각각에는 복수 개의 입출력 라인 쌍들이 열 게이트 영역들의 행들을 따라 배치되어 있다.

<38> 본 발명의 감지 증폭 영역의 레이아웃 구조에 따르면, 감지 증폭 영역의 증가없이 2배의 입출력 라인 쌍들을 감지 증폭 영역 내에 배치하는 것이 가능하다. 예를 들면, 앞서 언급된 특허들에 도시된 바와 같이, 열 게이트 영역들이 일렬로 배치되는 감지 증폭 영역 내에 2쌍의 입출력 라인들이 배치된다고 가정하자. 입출력 라인들을 2배로 배치하고자 하는 경우, 열 게이트 영역의 폭이 2배로 증가되어야 할 것이다. 이에 반해서, 본 발명에 따른 감지 증폭 영역의 레

이아웃 구조를 이용하여 입출력 라인들을 2배로 배치하는 경우, 열 게이트 영역들 (150)을 지 그재그로 배열함으로써 열 게이트 영역 (150)의 폭은 그대로 유지될 수 있다.

<39> 도 4는 도 3에 도시된 열 게이트 영역의 일부를 보여주는 블록도이다. 도 4에는 하나의 열 선택 라인 (CSL0)에 관련된 열 게이트 영역들만이 도시되어 있다. 하지만, 나머지 열 선택 라인들에 각각 관련된 열 게이트 영역들이 도 4에 도시된 것과 동일하게 구성됨은 자명하다.

<40> 4쌍의 입출력 라인들 (I00, I00B, I01, I01B, I02, I02B, I03, I03B)은 비트 라인들과 수직하게 배열되며, 열 선택 게이트들 (GT)은 비트 라인 쌍들과 입출력 라인 쌍들 사이에 연결된다. 메모리 블록 (MB1)의 행이 행 디코더 (20)에 의해서 선택되고 열 선택 라인 (예를 들면, CSL0)이 열 디코더 (30)에 의해서 선택될 때, 비트 라인 쌍 (BL0, BL0B)은 게이트들이 열 선택 라인 (CSL0)에 연결된 대응하는 열 선택 게이트 쌍 (GT)을 통해 입출력 라인 쌍 (I00, I00B)에 연결된다. 또한, 비트 라인 쌍 (BL4, BL4B)은 게이트들이 열 선택 라인 (CSL0)에 연결된 대응하는 열 선택 게이트 쌍 (GT)을 통해 입출력 라인 쌍 (I01, I01B)에 연결된다. 이와 동시에, 비트 라인 쌍 (BL2, BL2B)은 게이트들이 열 선택 라인 (CSL0)에 연결된 대응하는 열 선택 게이트 쌍 (GT)을 통해 입출력 라인 쌍 (I02, I02B)에 연결된다. 또한, 비트 라인 쌍 (BL6, BL6B)은 게이트들이 열 선택 라인 (CSL0)에 연결된 대응하는 열 선택 게이트 쌍 (GT)을 통해 입출력 라인 쌍 (I03, I03B)에 연결된다.

<41> 따라서 하나의 열 선택 라인이 4개의 비트 라인 쌍들을 메모리 블록 (MB1)의 좌측에 배열된 4개의 입출력 라인 쌍들에 연결한다. 즉, 하나의 열 선택 라인은 8개의 비트 라인 쌍들을 메모리 블록 (MB1)의 양측에 배열된 8개의 입출력 라인 쌍

들에 연결한다. 2개의 워드 라인들 (예를 들면, 메모리 블록들 (MB1, MB9)에 대응하는 워드 라인 신호들)이 메모리 뱅크의 선택에 따라 선택되기 때문에, 각 워드 라인에 대한 8-비트 데이터가 입출력 라인 쌍들을 통해 전달된다. 결과적으로, 16-비트 데이터가 선택된 메모리 뱅크로부터 읽혀진다.

<42> 비록 도시의 편의상 도면에는 도시되지 않았지만, 메모리 블록들 (MB1, MB2) 사이에 배열된 입출력 라인 쌍들 역시 메모리 블록들 (MB0, MB1) 사이에 배열된 것과 동일하게 배열되며, 그것에 대한 설명은 그러므로 생략된다.

<43> 도 5는 도 4에 도시된 열 게이트 영역의 레이아웃 패턴을 보여주는 평면도이다. 도 5에는 하나의 열 선택 라인에 의해서 선택되는 열 게이트 영역들과 관련된 레이아웃 패턴이 도시되어 있다. 하지만, 나머지 열 선택 라인들에 관련된 열 게이트 영역들이 도 5에 도시된 것과 동일한 레이아웃 패턴으로 형성됨은 자명하다. 도면에서, 참조 번호 (101)는 열 선택 게이트용 NMOS 트랜지스터가 형성되는 액티브 영역을 나타내고, 참조 번호 (102)는 열 선택 게이트용 NMOS 트랜지스터의 게이트를 나타낸다. "□"는 액티브-비트 라인 컨택 (active-to-bitline contact) (또는 "DC"라 표기됨)을 나타내고, "■"는 액티브-메탈 라인 컨택 (active-to-metal line contact) (또는, "MC"라 표기됨)을 나타낸다.

<44> 도 5를 참조하면, 비트 라인과 수직한 방향으로 배열된 열 게이트 영역들 (150) 사이에는 N-래치 감지 증폭 영역들 (140)이 배치되어 있다. 각 행의 열 게이트 영역들 내에 2개의 입출력 라인 쌍들이 배치되어 있다. 임의의 열 게이트 영역 (150)의 위측 및 아래측에 그리고 그 것의 좌측 (또는 우측)에 N-래치 감지 증폭 영

역들 (140)이 각각 배치되어 있다. 결과적으로, 열 게이트 영역들 (150)은 텁니 모양을 갖도록 2개의 행들로 배열되어 있다. 열 선택 라인 (CSL0)이 선택될 때, 입출력 라인 (I00)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL0)에 연결되고 입출력 라인 (I00B)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL0B)에 연결된다. 입출력 라인 (I01)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL4)에 연결되고 입출력 라인 (I01B)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL4B)에 연결된다. 입출력 라인 (I02)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL2)에 연결되고 입출력 라인 (I02B)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL2B)에 연결된다. 입출력 라인 (I03)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL6)에 연결되고 입출력 라인 (I03B)은 대응하는 열 선택 게이트를 통해 비트 라인 (BL6B)에 연결된다.

<45> 본 발명에 따른 감지 증폭 영역의 레이아웃 구조가 다양하게 변경될 수 있음은 자명하다. 예를 들면, 앞서의 설명에 따르면, 각 행의 N-래치 감지 증폭 및 열 게이트 영역들은 번갈아 하나씩 배열된다. 하지만 각 행의 N-래치 감지 증폭 및 열 게이트 영역들이 쌍으로 번갈아 배열될 수 있다. 즉, 2개의 열 게이트 영역들이 배치되는 단위 블록의 위측 및 아래측과 그것의 좌측 (또는 우측)에 2개의 N-래치 감지 증폭 영역들이 배치되는 단위 블록들이 각각 배치될 수 있다.

<46> 이러한 레이아웃 구조가 도 6에 도시되어 있다. 도 7은 도 6에 도시된 열 게이트 영역의 일부를 보여주는 블록도이고, 도 8은 도 7에 도시된 열 게이트 영역의 레이아웃 패턴을 보여주는 평면도이다. 도 6 내지 도 8에 있어서, 도 3 내지 도 5

에 도시된 것과 동일한 구성 요소들은 동일한 참조 번호들로 표기될 것이다. 도 6 내지 도 8에 도시된 레이아웃 구조는 2개의 열 게이트 영역들이 배열되는 단위 블록들이 앞서 설명된 바와 같이 배열되어 있다는 점을 제외하면 도 3 내지 도 5에 도시된 것과 실질적으로 동일하다. 즉, 단위 블록들의 열 게이트 영역들이 지그재그로 또는 톱니 모양을 갖도록 2개의 행들 (또는 2열(two rows))로 배열되어 있다.

<47> 입출력 라인 쌍들은 일측 (도면에서 위측 또는 아래측)에 배열되는 그로벌 입출력 라인 쌍들 (미도시됨)에 연결될 수 있다. 또는, 입출력 라인 쌍들은 메모리 블록들 사이에 배치되는 감지 증폭 영역들을 가로지르도록 배열되는 그로벌 입출력 라인쌍들 (미도시됨)에 연결될 수 있다. 이러한 그로벌 입출력 라인들의 레이아웃 구조는 앞서 언급된 '697 특허에 게재되어 있다. 본 발명의 경우, 앞서 언급된 구조들을 이용하여 그로벌 입출력 라인 쌍들과 입출력 라인 쌍들이 연결될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<48> 도 3 내지 도 8에 있어서, 각 행의 열 게이트 영역들 사이에 N-래치 감지 증폭 영역들이 배치되어 있다. 하지만, 열 게이트 영역의 폭과 동일/유사한 폭을 갖는 다른 영역들이 각 행의 열 게이트 영역들 사이에 배치될 수 있다. 예를 들면, 도 9 및 도 10에 도시된 바와 같이, 도 4 및 도 6에 도시된 방법으로 각 행의 열 게이트 영역들 사이에 P-래치 감지 증폭 영역들이 배치될 수 있다. 게다가, 비록 도면에는 도시되지 않았지만, 각 행의 열 게이트 영역들 사이에 제 1/제 2 비트 라인 등화 및 절연 영역이 배치될 수 있다.

<49> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<50> 상술한 바와 같이, 반도체 메모리 장치의 제한된 감지 증폭 영역 내에 칩 면적의 증가없이 2배의 입출력 라인들을 배치하는 것이 가능하다.

【특허 청구범위】**【청구항 1】**

메모리 블록들과; 그리고

상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 감지 증폭 영역을 갖는
감지 증폭 블록들을 포함하며,

상기 감지 증폭 블록들의 열 게이트 영역들은 적어도 2개의 행들로 배열되며; 상기 각
행의 열 게이트 영역들 사이에는 상기 감지 증폭 영역들이 각각 배열되는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 각 감지 증폭 블록은 한 쌍의 비트 라인들에 연결되는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 각 감지 증폭 블록은 2 쌍의 비트 라인들에 연결되는 반도체 메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 감지 증폭 영역에는 N-래치 감지 증폭기와 P-래치 감지 증폭기 중 어느 하나를 포
함하는 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 2개의 행들로 배열되는 반도체 메모리 장치.

【청구항 6】

복수 개의 입출력 라인 쌍들과; 그리고

각각이 열 게이트 영역, 제 1 및 제 2 감지 증폭 영역들 그리고 비트 라인 등화 및 절연 영역을 갖는 복수 개의 감지 증폭 블록들을 포함하며,

상기 각 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 입출력 라인 쌍들 중 절반은 상기 행들 중 하나를 따라 배열되고 나머지는 다른 행을 따라 배열되는 반도체 메모리 장치.

【청구항 7】

제 5 항에 있어서,

상기 각 감지 증폭 블록에 있어서, 상기 열 게이트 영역, 상기 제 1 및 제 2 감지 증폭 영역들 그리고 상기 비트 라인 등화 및 절연 영역 중 하나는 각 행에 속하는 인접한 열 게이트 영역들 사이에 배치되는 반도체 메모리 장치.

【청구항 8】

제 5 항에 있어서,

상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 제 1 감지 증폭 영역들이 각각 배치되는 반도체 메모리 장치.

【청구항 9】

제 5 항에 있어서,

상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 제 2 감지 증폭 영역들이 각각 배치되는 반도체 메모리 장치.

【청구항 10】

제 5 항에 있어서,

상기 각 감지 증폭 블록에 있어서, 상기 각 행에 속하는 인접한 열 게이트 영역들 사이에는 상기 비트 라인 등화 및 절연 영역이 각각 배치되는 반도체 메모리 장치.

【청구항 11】

제 5 항에 있어서,

상기 복수 개의 감지 증폭 블록들은 메모리 셀 어레이의 메모리 블록들 중 인접한 메모리 블록들 사이에 배치되는 반도체 메모리 장치.

【청구항 12】

메모리 블록들과; 그리고

상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 N-래치 감지 증폭 영역을 갖는 감지 증폭 블록들을 포함하며,

상기 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 각 행의 열 게이트 영역들 사이에는 상기 N-래치 감지 증폭 영역들이 각각 배열되는 반도체 메모리 장치.

【청구항 13】

메모리 블록들과;

상기 메모리 블록들 사이에 배열되며 각각이 열 게이트 영역과 P-래치 감지 증폭 영역을 갖는 감지 증폭 블록들을 포함하며,

상기 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 각 행의 열 게이트 영역들 사이에는 상기 P-래치 감지 증폭 영역들이 각각 배열되는 반도체 메모리 장치.

【청구항 14】

메모리 블록들과; 그리고

각각이 열 게이트 영역과 N-래치 및 P-래치 감지 증폭 영역들을 갖는 복수 개의 감지 증폭 블록들을 포함하며,

상기 각 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 열 게이트 영역들과 상기 N-래치 감지 증폭 영역들은 각 행 방향으로 번갈아 배치되는 반도체 메모리 장치.

【청구항 15】

제 14 항에 있어서,

복수 개의 입출력 라인 쌍들을 더 포함하며, 상기 입출력 라인 쌍들 중 절반은 상기 행들 중 하나를 따라 배열되고 나머지는 다른 행을 따라 배열되는 반도체 메모리 장치.

【청구항 16】

복수 개의 입출력 라인 쌍들과; 그리고

각각이 열 게이트 영역과 N-래치 및 P-래치 감지 증폭 영역들을 갖는 복수 개의 감지 증폭 블록들을 포함하며,

상기 각 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되며; 상기 열 게이트 영역들과 상기 N-래치 또는 P-래치 감지 증폭 영역들은 각 행 방향으로 번갈아 그리고 쌍으로 배치되며; 그리고 상기 입출력 라인 쌍들 중 절반은 상기 행들 중 하나를 따라 배열되고 나머지는 다른 행을 따라 배열되는 반도체 메모리 장치.

【청구항 17】

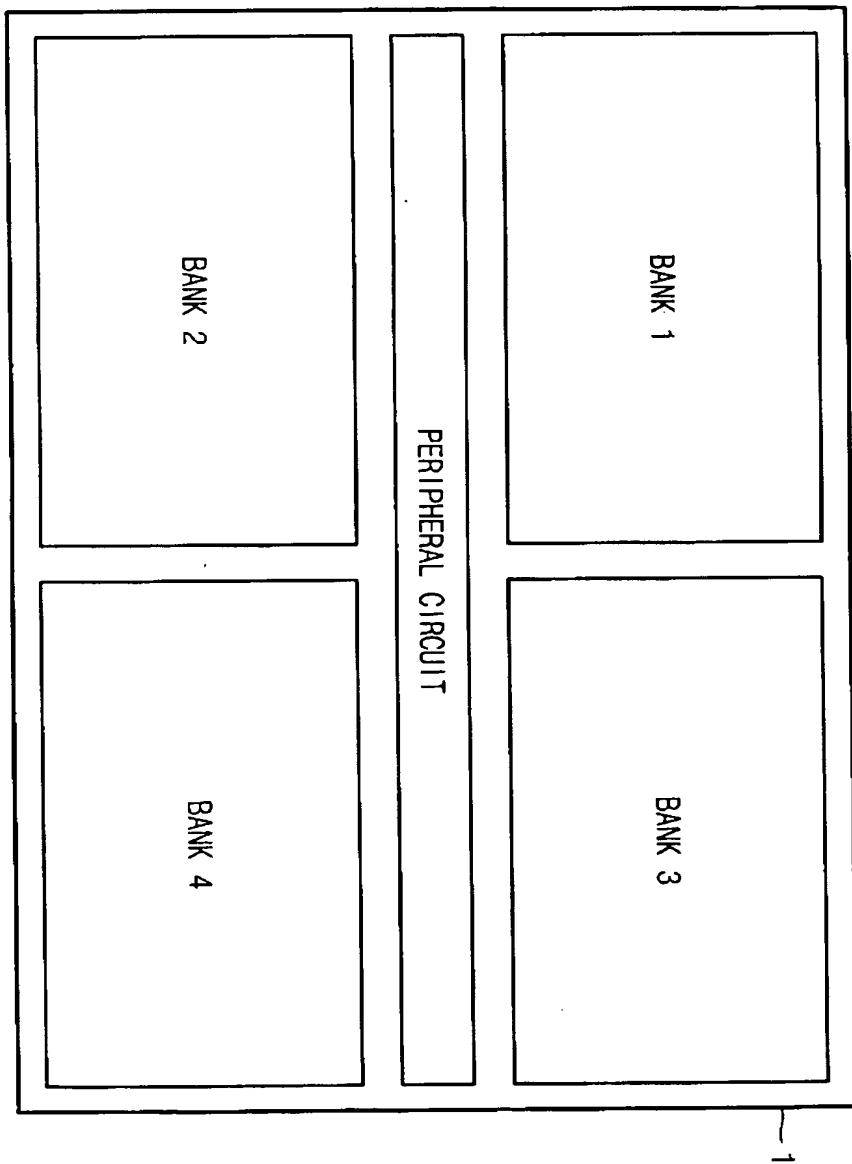
제 1 및 제 2 메모리 블록들과; 그리고

상기 제 1 및 제 2 메모리 블록들 사이에 배열되며, 각각이 제 1 및 제 2 비트 라인 프리챠지 및 등화 영역들, 열 게이트 영역, N-래치 감지 증폭 영역 그리고 P-래치 감지 증폭 영역을 갖는 복수 개의 감지 증폭 영역들을 포함하며,

상기 감지 증폭 블록들의 열 게이트 영역들은 텁니 모양을 갖도록 적어도 2개의 행들로 배열되고; 상기 각 행의 열 게이트 영역들 사이에는 상기 N-래치 감지 증폭 영역들이 각각 배열되고; 상기 제 1 비트 라인 프리챠지 및 등화 영역들은 상기 제 1 메모리 블록의 일측에 인접하여 배열되고; 상기 제 2 비트 라인 프리챠지 및 등화 영역들은 상기 제 2 메모리 블록의 일측에 인접하여 배열되고; 그리고 상기 P-래치 감지 증폭 영역들은 상기 행들 중 하나에 속하는 열 게이트 및 N-래치 감지 증폭 영역들과 상기 제 1/2 비트 라인 프리챠지 및 등화 영역들 사이에 배열되는 반도체 메모리 장치.

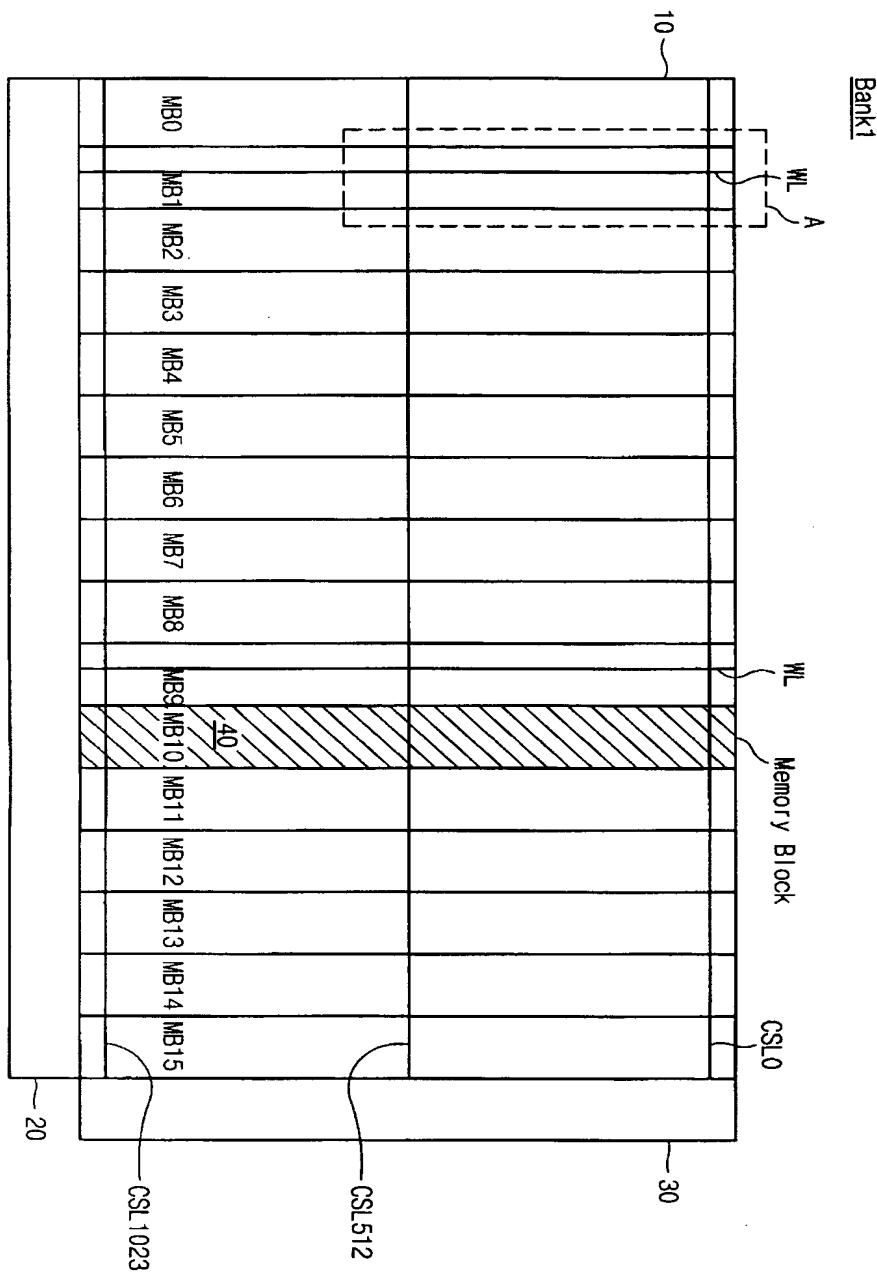
【도면】

【도 1】

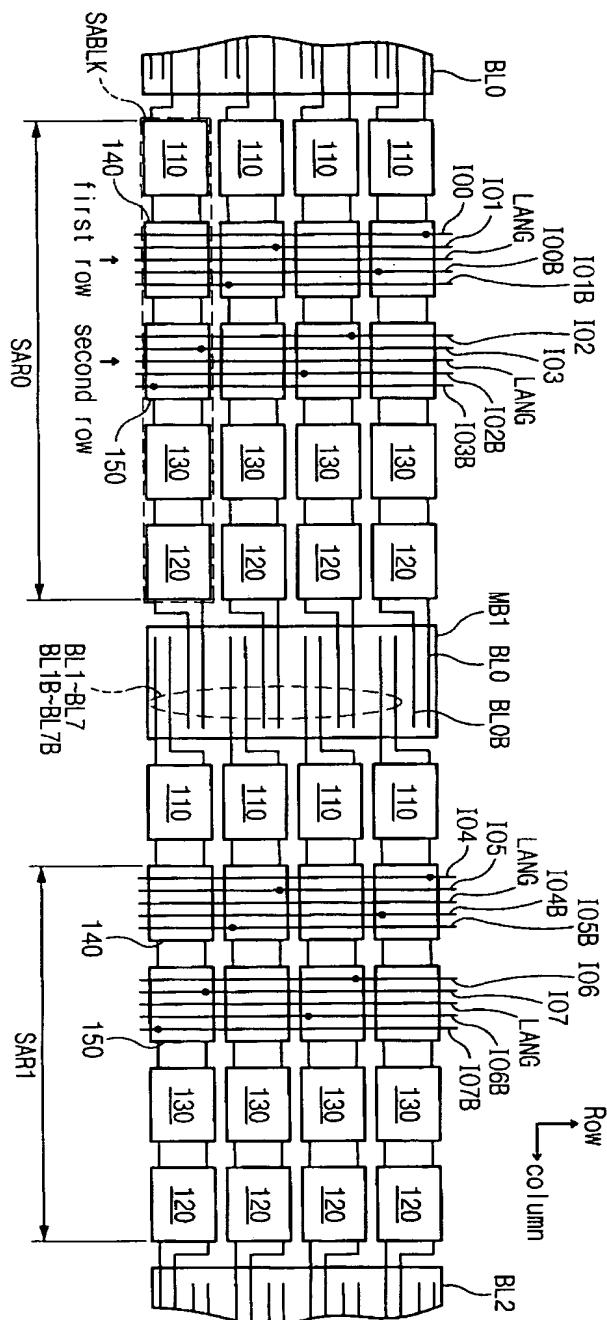


-1

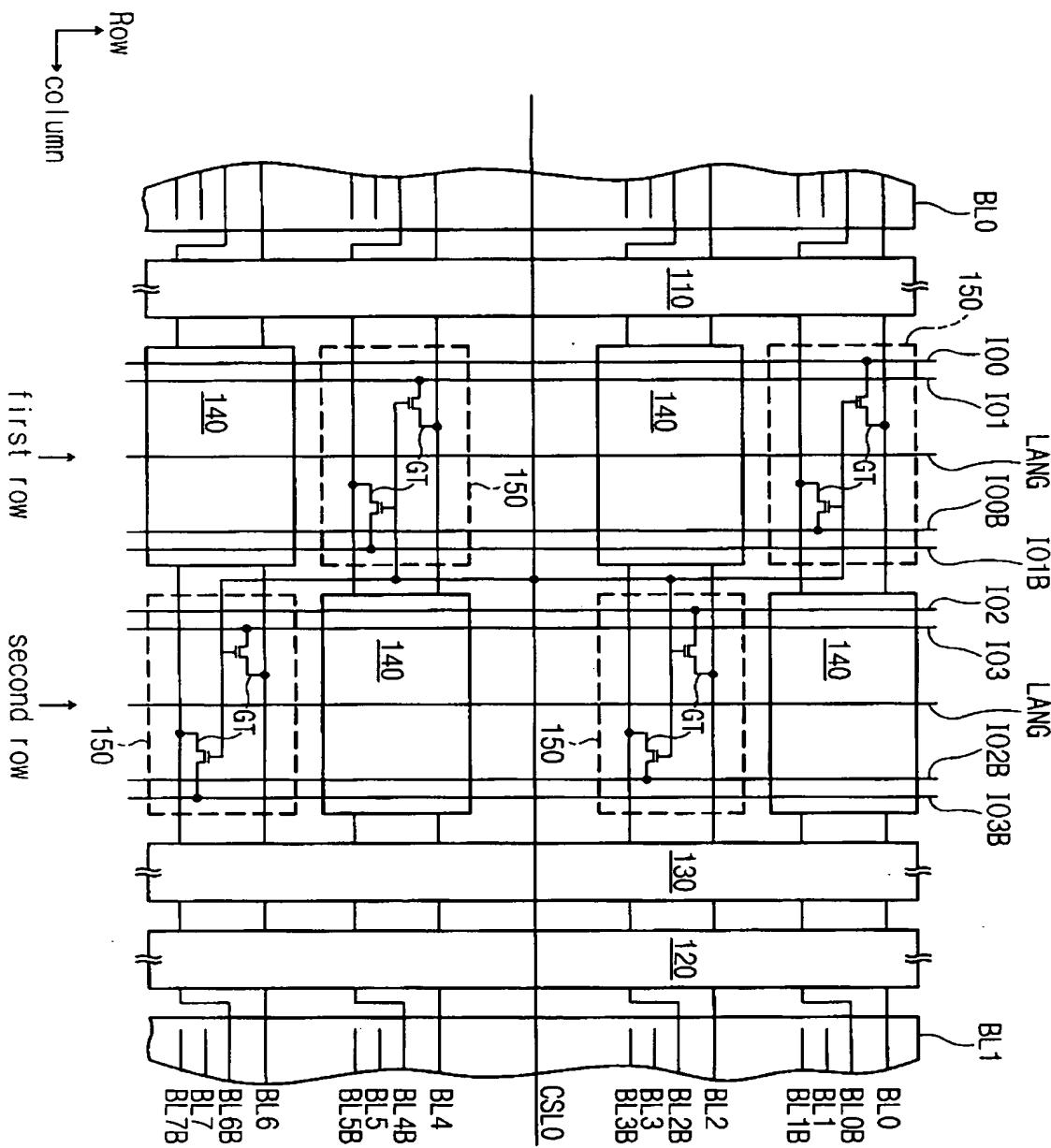
【도 2】



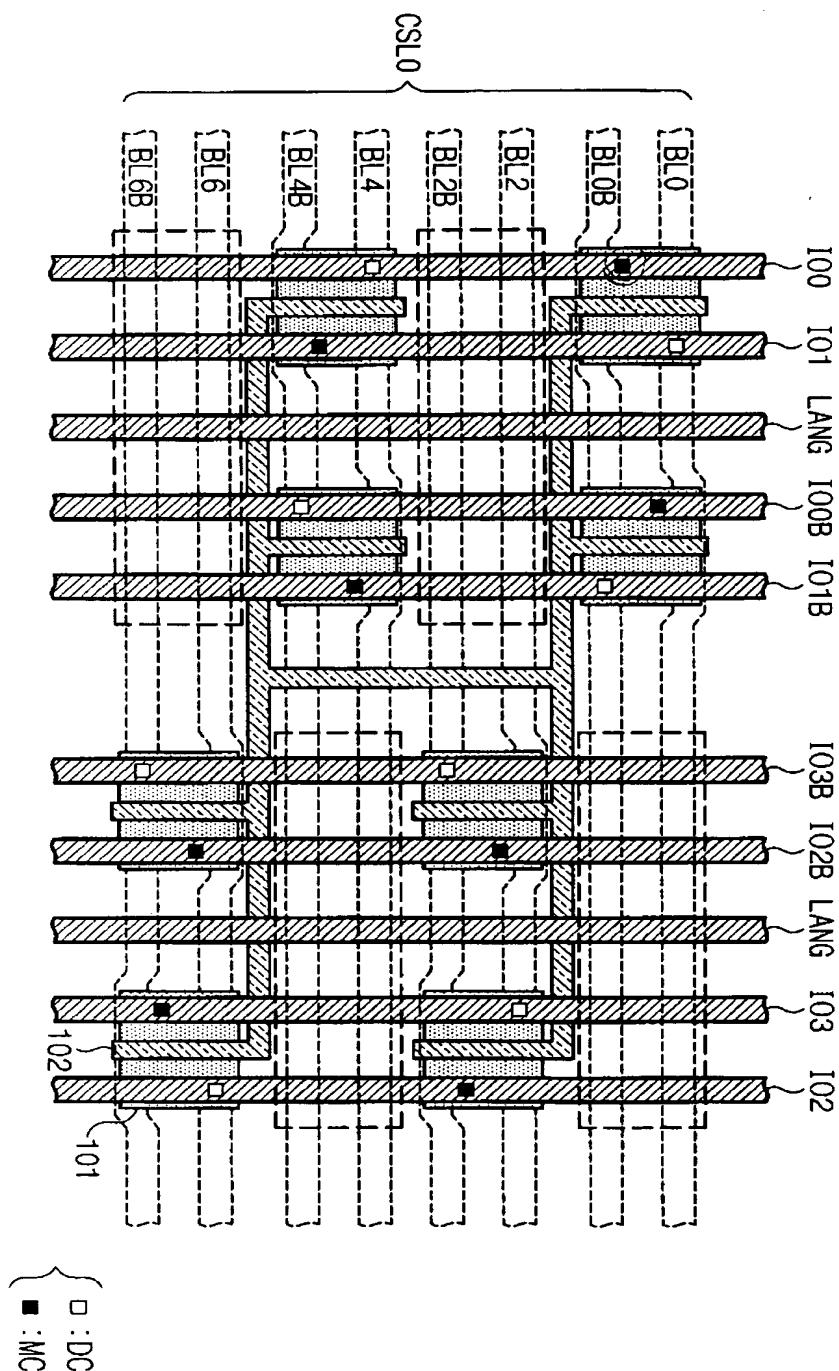
【도 3】



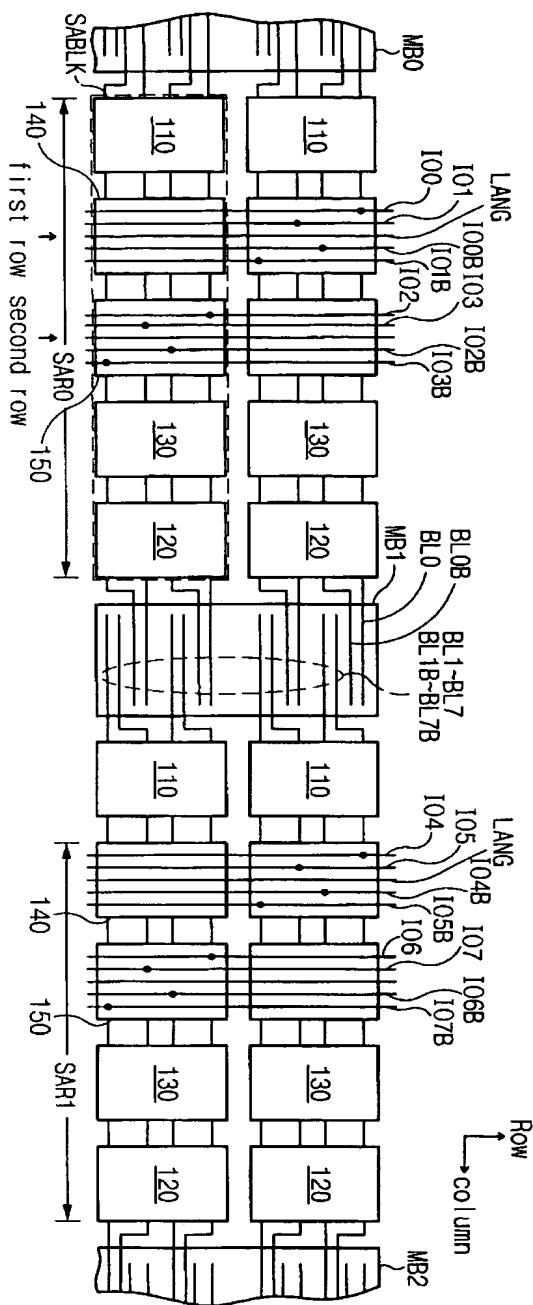
【그림 4】



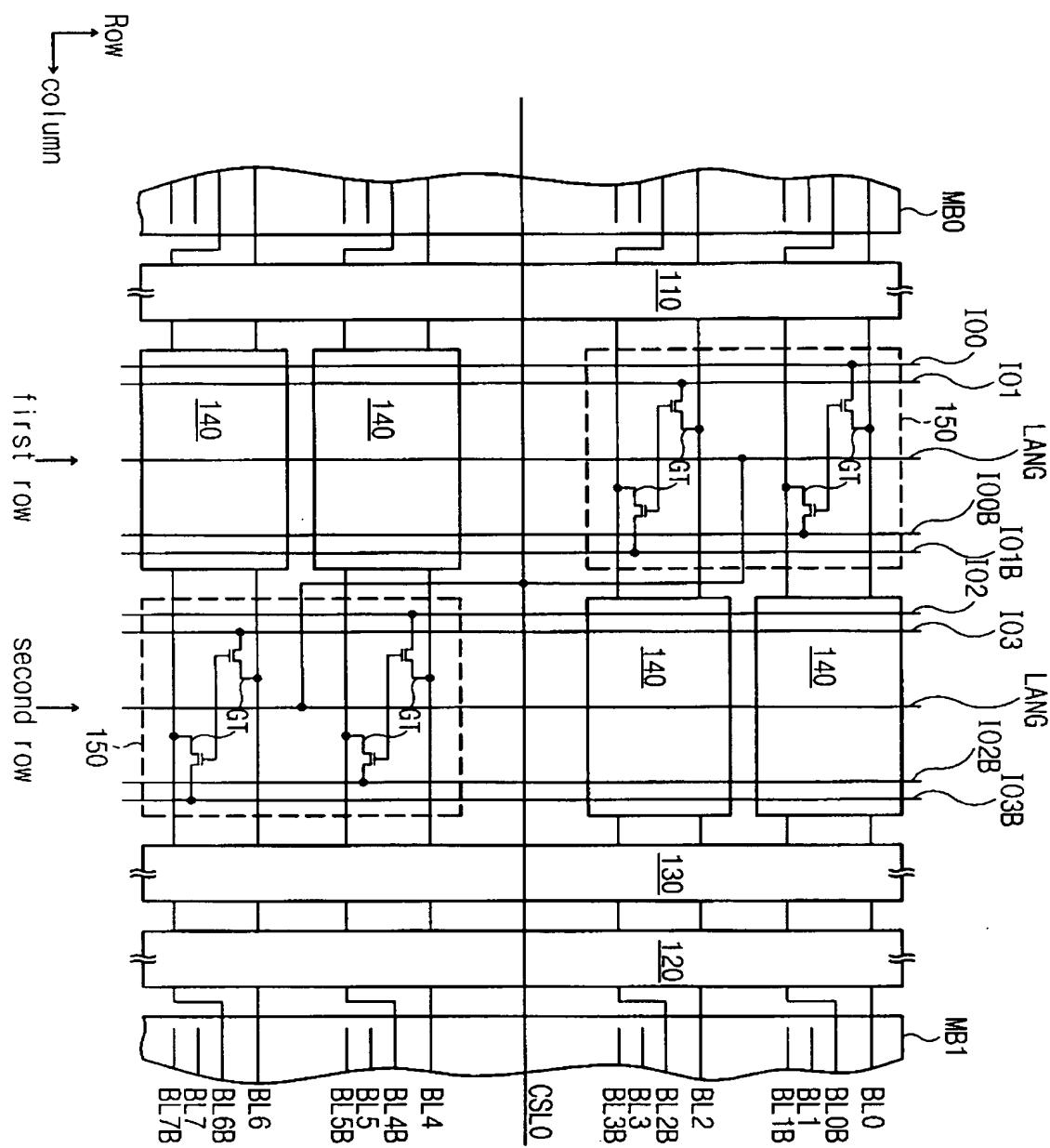
【도 5】



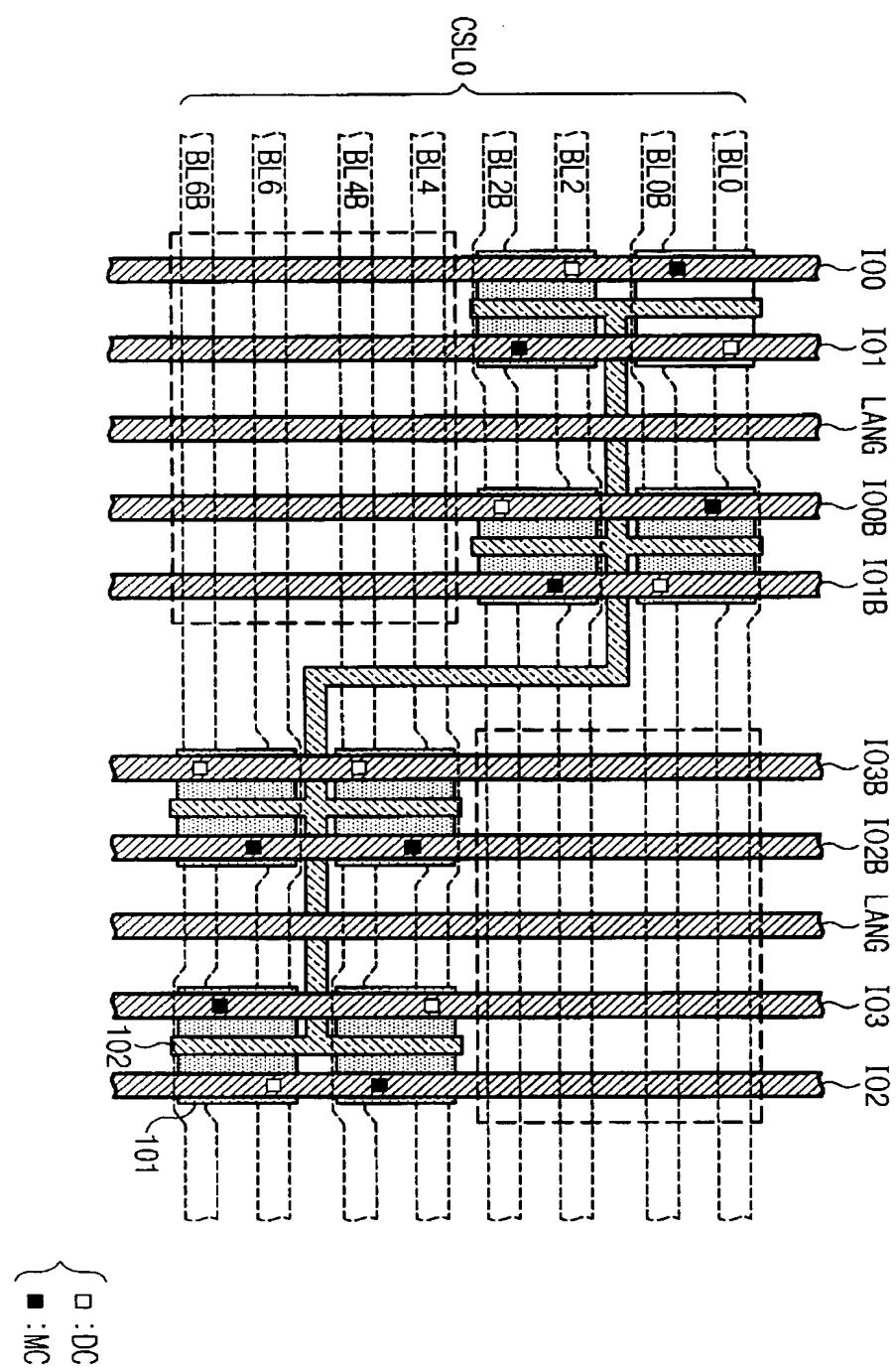
【H】 6



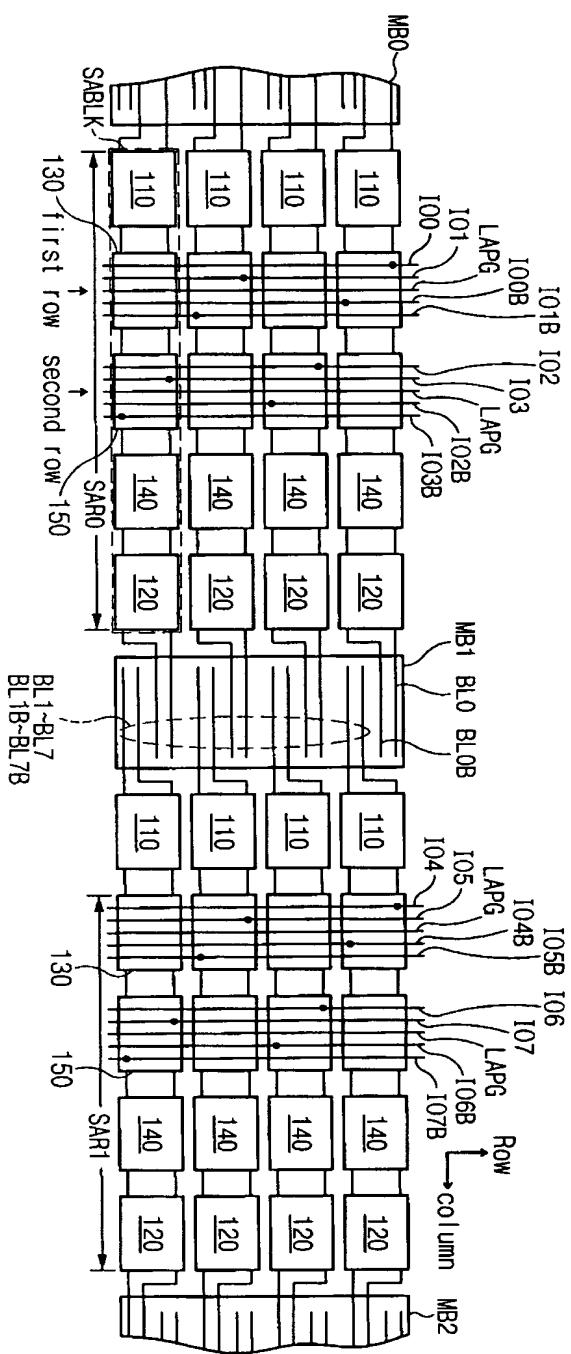
【도 7】



【화 8】



【도 9】



1020030039226

출력 일자: 2004/1/26

【도 10】

